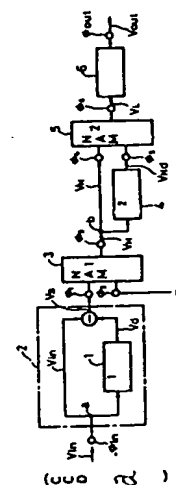


**(54) NOISE SUPPRESSION CIRCUIT FOR IMAGE PICKUP SIGNAL**

(11) 4-159880 (A) (43) 3.6.1992 (19) JP  
 (21) Appl. No. 2-285378 (22) 23.10.1990  
 (71) SONY CORP (72) SATOSHI NAKAMURA  
 (51) Int. Cl.<sup>5</sup> H04N5/335

**PURPOSE:** To remove noise superimposed upon image pickup signals by providing a delay difference circuit which finds the difference between an input image pickup signal and a delayed image pickup signal obtained by delaying the input image pickup signal and a mixer circuit which outputs the difference signal of the delay difference circuit and the high-level signal component of a separately inputted prescribed reference pulse.

**CONSTITUTION:** A delay difference circuit 2 which finds the difference between an input image pickup signal  $V_{in}$  and a delayed image pickup signal  $V_d$  obtained by delaying the signal  $V_{in}$  through a delay line 1 and a mixer circuit 3 which outputs the difference signal  $V_s$  of the delay difference circuit 2 and the high-level signal component  $V_H$  of a separately inputted prescribed reference pulse  $pr$  are provided. Accordingly, such switching operations as sampling, etc., are not performed. Therefore, a sufficient noise suppression effect can be expected, since the correlative noise to the image pickup signal  $V_{in}$  which is widened in band due to an increase in the number of picture elements of a CCD image pickup element can be easily and surely eliminated and, at the same time, the return of noncorrelative high-frequency noise is also reduced.



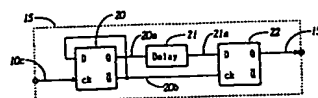
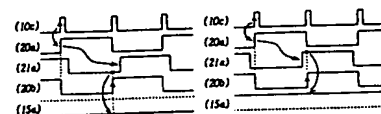
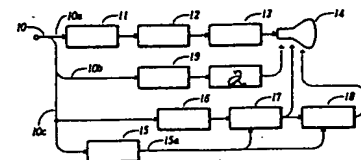
3: 1st NAM circuit, 4: 2nd delay line, 5: 2nd NAM circuit  
 6: low-pass filter, Pr: refresh pulse, a: CCD type image pickup element

**(54) HDTV/EDTV VIDEO DISPLAY DEVICE**

(11) 4-159881 (A) (43) 3.6.1992 (19) JP  
 (21) Appl. No. 2-285264 (22) 23.10.1990  
 (71) FUJITSU GENERAL LTD (72) HIROYUKI YAMAMOTO  
 (51) Int. Cl.<sup>5</sup> H04N5/46, H04N5/04, H04N5/14

**PURPOSE:** To eliminate the need of operating a change-over switch at the time of switching input signals by controlling the energizing power supply voltages of a horizontal deflection output circuit and high-voltage generation circuit with the output of a latch memory.

**CONSTITUTION:** A pulse having a period which is twice as long as that of the horizontal synchronizing signal 10c of input signals and has a duty of 50% is produced from the signal 10c. Then a pulse 21a which is delayed by the time which is the intermediate time between the horizontal scanning time of HDTV and EDTV systems is sampled with its non-delayed pulse 20b and the system of the input signals is discriminated from the level of the delayed pulse 21a at the sampling time. Therefore, the displaying condition can be automatically changed suitably to video signals of the HDTV or EDTV system.



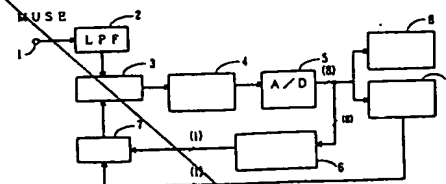
11: video amplifier, 12: picture quality adjustment, 13: video output 15: signal discrimination 16: horizontal oscillation, 17: horizontal output, 18: high-voltage generation, 19: vertical oscillation, a: vertical output

**(54) AUTOMATIC GAIN CONTROL CIRCUIT**

(11) 4-159882 (A) (43) 3.6.1992 (19) JP  
 (21) Appl. No. 2-285278 (22) 23.10.1990  
 (71) FUJITSU GENERAL LTD (72) HITOSHI OHORI(1)  
 (51) Int. Cl.<sup>5</sup> H04N5/52, H04N7/00

**PURPOSE:** To simplify a feedback circuit so that the circuit can be easily made into IC by applying feedback to the feedback circuit by using a level detection circuit and integrator.

**CONSTITUTION:** A feedback circuit composed of a level detection circuit 6 and integrator 7 is provided in the output circuit of an A/D converter 5. The output level of the A/D converter 5 is detected by means of the circuit 6 and the detecting signal of the circuit 6 is inputted to a gain control circuit 3 so as to control the gain of the circuit 3 to automatically become a prescribed value after the signal is integrated by means of the integrator 7 and converted into a DC voltage. Therefore, the feedback circuit can be simplified as compared with the conventional feedback circuit using a D/A converter and, when, for example, the circuit is made into IC, the circuit can be easily made into IC.



1: MUSE input signal, 4: clamp circuit, 8: video signal processing circuit, 9: synchronizing signal detector

## ⑫ 公開特許公報(A)

平4-159880

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月3日

H 04 N 5/335

P

8838-5C

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 撮像信号のノイズ抑圧回路

⑮ 特 願 平2-285378

⑯ 出 願 平2(1990)10月23日

⑰ 発 明 者 中 村 聡 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑲ 代 理 人 弁理士 松隈 秀盛

## 明 細 書

発明の名称 撮像信号のノイズ抑圧回路

## 特許請求の範囲

1. 入力撮像信号と該入力撮像信号をディレイラインにより遅延化して得られた遅延撮像信号との差分をとる遅延差回路と、該遅延差回路からの差分信号と別に入力される所定のリファレンスパルスのうち、高レベルの信号成分を出力する混合回路を有してなる撮像信号のノイズ抑圧回路。
2. 入力撮像信号と該入力撮像信号を第1のディレイラインにより遅延化して得られた遅延撮像信号との差分をとる遅延差回路と、該遅延差回路からの差分信号と別に入力される所定のリファレンスパルスのうち、高レベルの信号成分を出力する第1の混合回路と、該第1の混合回路からの出力信号と該出力信号を第2のディレイラインにより遅延化して得られた遅延出力信号のうち、低レベルの信号成分を出力する第2の混合回路を有してなる撮像信号のノイズ抑圧回

## 路。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、例えばCCD形撮像素子からの撮像信号に重畳されたノイズを除去する撮像信号のノイズ抑圧回路に関する。

## 〔発明の概要〕

本発明は、撮像信号のノイズ抑圧回路において、入力撮像信号と該入力撮像信号をディレイラインにより遅延化して得られた遅延撮像信号との差分をとる遅延差回路と、該遅延差回路からの差分信号と別に入力される所定のリファレンスパルスのうち、高レベルの信号成分を出力する混合回路を有して構成する、あるいは、入力撮像信号と該入力撮像信号を第1のディレイラインにより遅延化して得られた遅延撮像信号との差分をとる遅延差回路と、該遅延差回路からの差分信号と別に入力される所定のリファレンスパルスのうち、高レベルの信号成分を出力する第1の混合回路と、該第

1の混合回路からの出力信号と該出力信号を第2のディレーラインにより遅延化して得られた遅延出力信号のうち、低レベルの信号成分を出力する第2の混合回路を有して構成することにより、CCD形撮像素子の高画素化に伴ない広帯域化された撮像信号に対するノイズの除去を容易にかつ確実に行なえるようにしたものである。

#### 〔従来の技術〕

一般に、CCD形撮像素子からの撮像信号の読出しにおいては、ブリアンプで生ずるリセットノイズが問題となる。このリセットノイズを除去する方法としては、従来から相関二重サンプリング(CDS)法が広く用いられており、その他、遅延差法なども提案されている。

CDS法は、第5図に示すように、入力端子 $\phi_{in}$ に輸入された第6図Aで示す撮像信号 $V_{in}$ を第1のサンプリングホールド回路(S/H回路)(11)に供給し、この第1のS/H回路(11)において、上記撮像信号 $V_{in}$ のうち、各フィールドスル

一部を第6図Bで示すSHPパルス $p_p$ でサンプリングホールドして第6図Dで示す出力信号 $V_{out}$ を得たのち、該出力信号 $V_{out}$ を次段の第2のS/H回路(12)に供給し、上記SHPパルス $p_p$ と $\pi$ 相ずれたSHDパルス $p_d$ (第6図C参照)でサンプリングホールドして第6図Eで示す出力信号 $V_{out}$ を得る。

一方、入力端子 $\phi_{in}$ から接点 $a$ を介して供給された撮像信号 $V_{in}$ を第3のS/H回路(13)に供給し、上記SHDパルス $p_d$ で上記撮像信号 $V_{in}$ のうち、各信号出力部をサンプリングホールドして第6図Fで示す出力信号 $V_{out}$ を得る。

そして、上記第2のS/H回路(12)からの出力信号 $V_{out}$ と第3のS/H回路(13)からの出力信号 $V_{out}$ との差をとることにより、相関のあるリセットノイズ(図中、○、×、△で示す)がキャンセルされ、リセットノイズのない信号成分 $V_{out}$ を出力端子 $\phi_{out}$ より得ることができる。

次に、遅延差法は、第7図に示すように、入力端子 $\phi_{in}$ に輸入された第8図Aで示す撮像信号

$V_{in}$ と、上記入力端子 $\phi_{in}$ から接点 $a$ を介して供給された撮像信号 $V_{in}$ をディレーライン(21)にて位相調整して得た第8図Bで示す遅延撮像信号 $V_{in}$ との差をとって、第8図Cで示す差分信号 $V_{in}$ を得、その後、該差分信号 $V_{in}$ を次段のゲート回路(22)に供給して、ゲートパルス $p_g$ により上記差分信号 $V_{in}$ 中、リセットノイズ(図中、○、×、△で示す)のない信号成分を抜き取って、第8図Dで示す出力信号 $V_{out}$ を得たのち、該出力信号 $V_{out}$ をローパスフィルタ(23)に供給して出力端子 $\phi_{out}$ よりリセットノイズのないベースバンド信号 $V_{out}$ を得るというものである。

#### 〔発明が解決しようとする課題〕

しかしながら、第5図で示すCDS法においては、相関のあるリセットノイズについては除去することができるが、相関のない高域ノイズに対しては、サンプリングにより、低域ノイズとして加え込むことになり、しかも、サンプリングホールド期間はインピーダンスが高いため、新たに外来

ノイズを加え込む可能性があり、ノイズ除去効果が少ないという不都合がある。

これに対し、第7図で示す遅延差法においては、サンプリングホールドを行なわないため、相関のない高域ノイズの折り返しが少なく、しかも、低インピーダンス回路が構成できるため、外来ノイズの影響も少ないという特徴を有する。

しかし、上記いずれの方法においても、CCD形撮像素子の画素数が増加して撮像信号 $V_{in}$ の帯域が広がると、CDS用のスイッチング回路や遅延差法におけるゲート用のスイッチング回路も高帯域化が必要となり、相関ノイズ抑圧の実現が困難になるという不都合がある。

本発明は、このような点に鑑み成されたもので、その目的とするところは、CCD形撮像素子の高画素化に伴ない広帯域化された撮像信号に対するノイズの除去を容易にかつ確実に行なうことができる撮像信号のノイズ抑圧回路を提供することにある。

〔課題を解決するための手段〕

本発明の撮像信号のノイズ抑圧回路(A)は、入力撮像信号 $V_{i1}$ と該入力撮像信号 $V_{i1}$ をディレーライン(1)により遅延化して得られた遅延撮像信号 $V_{i2}$ との差分をとる遅延差回路(2)と、該遅延差回路(2)からの差分信号 $V_d$ と別に入力された所定のリファレンスパルス $p_r$ のうち、高レベルの信号成分 $V_H$ を出力する混合回路(3)を有して構成する。

また、本発明の撮像信号のノイズ抑圧回路(A)は、入力撮像信号 $V_{i1}$ と該入力撮像信号 $V_{i1}$ を第1のディレーライン(1)により遅延化して得られた遅延撮像信号 $V_{i2}$ との差分をとる遅延差回路(2)と、該遅延差回路(2)からの差分信号 $V_d$ と別に入力される所定のリファレンスパルス $p_r$ のうち、高レベルの信号成分 $V_H$ を出力する第1の混合回路(3)と、該第1の混合回路(3)からの出力信号 $V_H$ と該出力信号 $V_H$ を第2のディレーライン(4)により遅延化して得られた遅延出力信号 $V_{H2}$ のうち、低レベルの信号成分 $V_L$ を出力する第2の混合回路(5)

この回路(A)は、図示する如く、CCD形撮像素子からの撮像信号 $V_{i1}$ が入力され、第1のディレーライン(1)を有する遅延差回路(2)と、一方の入力端子 $\phi_1$ に上記遅延差回路(2)からの差分信号 $V_d$ が入力され、他方の入力端子 $\phi_2$ に後述する所定のリファレンスパルス $p_r$ が入力されて、上記差分信号 $V_d$ 及びリファレンスパルス $p_r$ のうち、高レベルの信号成分を出力信号 $V_H$ として出力端子 $\phi_3$ より出力する第1のNAM回路(non-additive-mixing 回路)(3)と、一方の入力端子 $\phi_4$ に上記第1のNAM回路(3)からの出力信号 $V_H$ が直接入力され、他方の入力端子 $\phi_5$ に上記出力信号 $V_H$ が第2のディレーライン(4)を介して入力されて、上記信号のうち、低レベルの信号成分を出力信号 $V_L$ として出力端子 $\phi_6$ より出力する第2のNAM回路(5)と、該第2のNAM回路(5)からの出力信号 $V_L$ をベースバンド信号 $V_{bb}$ として整形するローパスフィルタ(6)を有してなる。

次に、本例に係るノイズ抑圧回路(A)の動作を第2図～第4図も参照しながら説明する。ここ

を有して構成する。

〔作用〕

上述の本発明の構成によれば、サンプリングなどのスイッチング動作を行なわないため、CCD形撮像素子の高画素化に伴ない広帯域化された撮像信号 $V_{i1}$ に対する相関ノイズ(リセットノイズ等)の除去を容易にかつ確実にこなうことができると共に、相関のない高域ノイズの折り返しも少なく、十分なノイズ抑圧効果が期待できる。

特に、本発明の第2の構成によれば、上記効果を期待できると共に、ノイズの抑圧に伴う撮像信号 $V_{i1}$ の損失をほとんど無くすことができ、高精度な信号処理を行なうことができる。

〔実施例〕

以下、第1図～第4図を参照しながら本発明の実施例を説明する。

第1図は、本実施例に係る撮像信号のノイズ抑圧回路(A)を示すブロック線図である。

で、第2図は、この回路(A)の信号処理を示す波形図であり、第3図及び第4図は、第1及び第2のNAM回路(3)及び(5)の一例を示す回路図である。

まず、入力端子 $\phi_{i1}$ に入力された第2図Aで示す撮像信号 $V_{i1}$ を遅延差回路(2)に供給し、該遅延差回路(2)において、上記撮像信号 $V_{i1}$ と、入力端子 $\phi_{i1}$ から接点aを介して供給された撮像信号 $V_{i1}$ を第1のディレーライン(1)にて位相調整(第2図Aの撮像信号 $V_{i1}$ における1画素出力期間 $t$ の $1/2$ 分遅延させる)して得た第2図Bで示す遅延撮像信号 $V_{i2}$ との差をとって、第2図Cで示す差分信号 $V_d$ を得る。その後、上記遅延差回路(2)からの差分信号 $V_d$ を第1のNAM回路(3)の一方の入力端子 $\phi_1$ に供給し、所定のリファレンスパルス $p_r$ を他方の入力端子 $\phi_2$ に供給する。このリファレンスパルス $p_r$ は、第2図Dに示すように、その出力タイミングに関し、上記差分信号 $V_d$ とその正負の方向性が同じ、即ち、パルス周期 $T$ が上記撮像信号 $V_{i1}$ の1画素出力期間 $t$ と同

じで、パルス幅  $n$  が  $1/2$  パルス周期と等値であり、少くとも正及び負に関し、リセット電位  $V_r$  以上の振幅  $A$  を有する。従って、第1のNAM回路(3)の出力端子  $\phi_1$  から出力される出力信号  $V_{n1}$  は第2図Eに示すように、上記差分信号  $V_d$  のうち、リセットノイズ(図中、○、×、△で示す)が重畳されている部分の信号成分がリファレンスパルス  $p_r$  の正方向のパルス波形に置換されたかたちの信号波形となる。

ここで、第1のNAM回路(3)としては、第3図に示す回路構成を用いることができる。即ち、一方の入力端子  $\phi_1$  に入力される差分信号  $V_d$  の電位が、他方の入力端子  $\phi_2$  に入力されるリファレンスパルス  $p_r$  の電位より高レベルのときは、一方のNPNトランジスタ  $Q_1$  が所謂エミッタホロワとして働き、他方のNPNトランジスタ  $Q_2$  がオフ状態となるため、出力端子  $\phi_1$  からは、一方のNPNトランジスタ  $Q_2$  のベースに入力される電位(差分信号  $V_d$ )がそのまま現われる。次に差分信号  $V_d$  の電位が、リファレンスパルス  $p_r$

の電位より低レベルになると、一方のNPNトランジスタ  $Q_1$  がオフ状態になり、他方のNPNトランジスタ  $Q_2$  がエミッタホロワとして働くため、他方のNPNトランジスタ  $Q_2$  のベースに入力される電位(リファレンスパルス  $p_r$ )がそのまま出力端子  $\phi_1$  に現われる。このように、第1のNAM回路(3)において、上記差分信号  $V_d$  とリファレンス  $p_r$  のうち高レベルの信号成分が選択され、出力信号  $V_{n1}$  として出力端子  $\phi_1$  より出力される。

そして、この出力信号  $V_{n1}$  のうち、例えばリファレンスパルス波形をカットしたのち、ローパスフィルタを通してリセットノイズのないベースバンド信号を得るようにしてもよい。

しかし、本例では更に、上記第1のNAM回路(3)からの出力信号  $V_{n1}$  を第2のNAM回路(5)の一方の入力端子  $\phi_1$  に直接供給すると共に、接点  $b$  を介して第2のディレーライン(4)に供給された上記出力信号  $V_{n1}$  を該第2のディレーライン(4)にて位相調整(第2図Aの撮像信号  $V_{i1}$  における1画素出力期間  $t$  の  $1/2$  分遅延させる)して得た第

2図Fで示す遅延出力信号  $V_{n2}$  を第2のNAM回路(5)の他方の入力端子  $\phi_2$  に供給する。そして、この第2のNAM回路(5)にて、上記出力信号  $V_{n1}$  及び遅延出力信号  $V_{n2}$  のうち、低レベルの信号成分を選択して、第2図Gで示すように、リセットパルス成分  $S_r$  と撮像信号成分  $S_i$  が互いに隣接してなる出力信号  $V_L$  を出力端子  $\phi_1$  より得る。

ここで、第2のNAM回路(5)としては、第4図に示す回路構成を用いることができる。即ち、一方の入力端子  $\phi_1$  に入力される出力信号  $V_{n1}$  の電位が、他方の入力端子  $\phi_2$  に入力される遅延出力信号  $V_{n2}$  の電位より低レベルのときは、一方のPNPトランジスタ  $Q_1$  がエミッタホロワとして働き、他方のPNPトランジスタ  $Q_2$  がオフ状態となるため、出力端子  $\phi_1$  からは、一方のPNPトランジスタ  $Q_2$  のベースに入力される電位(出力信号  $V_{n1}$ )がそのまま現われる。次に、出力信号  $V_{n1}$  の電位が、遅延出力信号  $V_{n2}$  より高レベルになると、一方のPNPトランジスタ  $Q_1$  がオフ状態になり、他方のPNPトランジスタ  $Q_2$  がエミ

ッタホロワとして働くため、他方のPNPトランジスタ  $Q_2$  のベースに入力される電位(遅延出力信号  $V_{n2}$ )がそのまま出力端子  $\phi_1$  に現われる。このように、第2のNAM回路(5)において、上記出力信号  $V_{n1}$  と遅延出力信号  $V_{n2}$  のうち、低レベルの信号成分が選択され、出力信号  $V_L$  として出力端子  $\phi_1$  より出力される。

そして、この出力信号  $V_L$  をローパスフィルタ(6)に供給することにより、出力端子  $\phi_{out}$  から第2図Hに示すリセットノイズのないベースバンド信号  $V_{out}$  を得る。

上述の如く、本例によれば、サンプリングなどのスイッチング動作を行なわないため、入力される撮像信号  $V_{i1}$  が、CCD形撮像素子の高画素化に伴って広帯域化されても、この撮像信号  $V_{i1}$  に対する相関ノイズ(リセットノイズ等)の除去を容易にかつ確実に行なうことができると共に、相関のない高域ノイズの折り返しも少なく、十分なノイズ抑圧効果を得ることができる。

特に、第1のNAM回路(3)より得た出力信号

$V_H$ を直接に、及び第2のディレーライン(4)を介して第2のNAM回路(5)に供給して出力端子 $\phi$ よりリセットパルス成分 $S$ 、と撮像信号成分 $S$ が互いに隣接してなる出力信号 $V_L$ を得るようにしたので、リセットノイズの除去に伴う撮像信号 $V_{in}$ の損失をほとんど無くすることができ、その後の信号処理系において、高精度な信号処理を行なわしめることができる。

#### 〔発明の効果〕

本発明に係る撮像信号のノイズ抑圧回路によれば、例えばCCD形撮像素子等の高画素化に伴ない広帯域化された撮像信号に対するノイズの除去を容易にかつ確実にこなうことができ、後段の信号処理系において、高精度な信号処理を行なわしめることが可能になる。

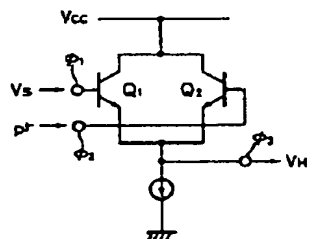
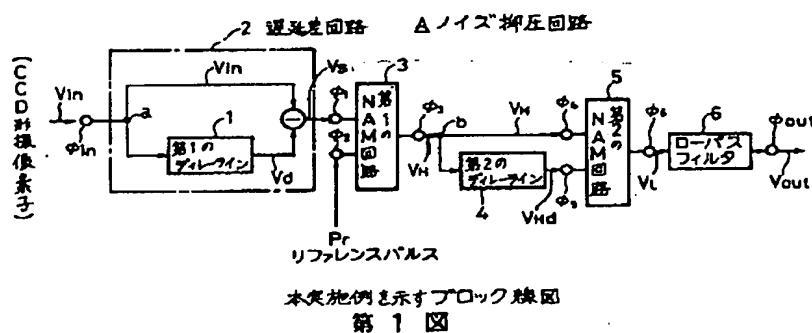
#### 図面の簡単な説明

第1図は本実施例に係る撮像信号のノイズ抑圧回路を示すブロック線図、第2図はその信号処理を示す波形図、第3図は本実施例に係る第1のNAM

AM回路の一例を示す回路図、第4図は本実施例に係る第2のNAM回路の一例を示す回路図、第5図は従来例(CDS法)を示すブロック線図、第6図はその信号処理を示す波形図、第7図は他の従来例(遅延差法)を示すブロック線図、第8図はその信号処理を示す波形図である。

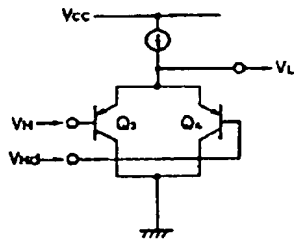
(A)はノイズ抑圧回路、(1)は第1のディレーライン、(2)は遅延差回路、(3)は第1のNAM回路、(4)は第2のディレーライン、(5)は第2のNAM回路、(6)はローパスフィルタである。

代理人 松隈秀盛



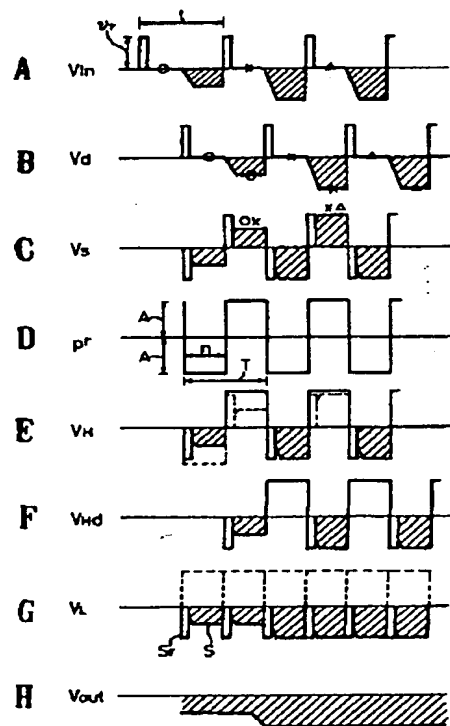
第1のNAM回路を示す回路図

第3図



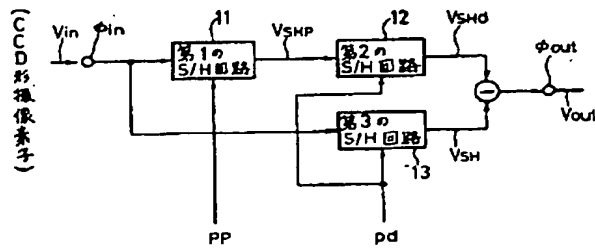
第2のNAM回路を示す回路図

第4図

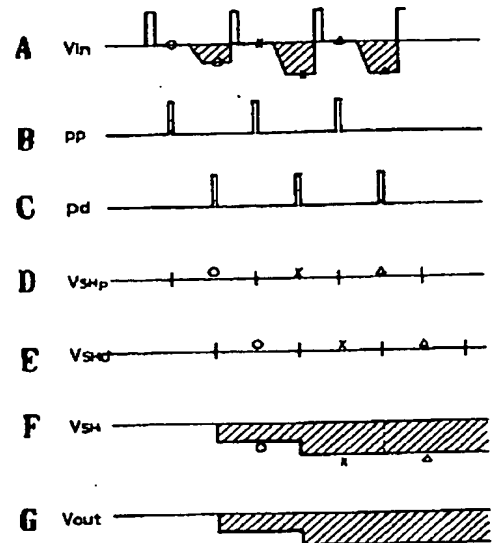


本実施例の信号処理を示す波形図

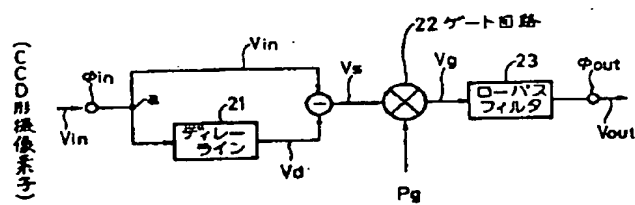
第2図



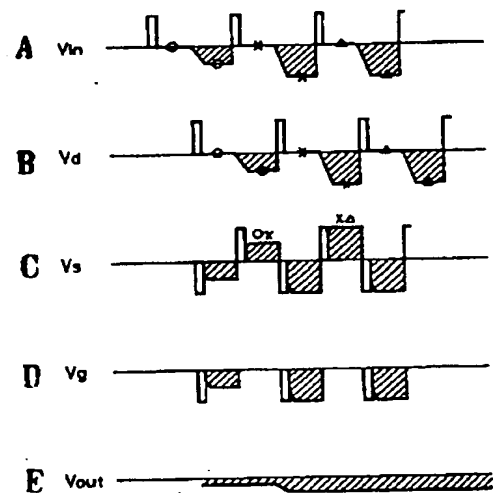
従来例を示すブロック線図  
第 5 図



従来例の信号処理を示す波形図  
第 6 図



他の従来例を示すブロック線図  
第 7 図



他の従来例の信号処理を示す波形図  
第 8 図